



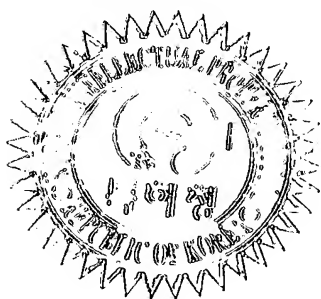
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 특허출원 2001년 제 9340 호
Application Number PATENT-2001-0009340

출원 년 월 일 : 2001년 02월 23일
Date of Application FEB 23, 2001

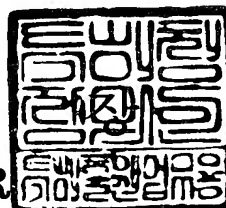
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2001 년 09 월 04 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2001.02.23
【발명의 명칭】	반도체 메모리 장치 및 이 장치의 데이터 리드 방법
【발명의 영문명칭】	Semiconductor memory device and data read method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	임규남
【성명의 영문표기】	LIM,KYU NAM
【주민등록번호】	691126-1637236
【우편번호】	449-840
【주소】	경기도 용인시 수지읍 수지2지구 신정마을 우성아파트 103-1605
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	13 면 13,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	18 항 685,000 원
【합계】	727,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 메모리 장치 및 이 장치의 데이터 리드 방법을 공개한다. 이 장치는 복수개의 메모리 셀들을 구비한 메모리 셀 어레이, 메모리 셀 어레이의 복수개의 로컬 데이터 입출력 라인쌍들과 연결된 복수개의 데이터 입출력 라인쌍들, 제어신호에 응답하여 루프 이득이 제어되고 복수개의 데이터 입출력 라인쌍들 각각의 전류 차를 증폭하여 출력하기 위한 복수개의 전류 센스 증폭기들, 및 리드 명령이 인가되면 복수개의 전류 센스 증폭기들의 입력 저항을 감지하여 입력 저항이 네거티브 값인지 포지티브 값인지를 나타내는 제어신호를 발생하기 위한 전류 센스 증폭기 입력 저항 감지 및 루프 이득 제어신호 발생회로로 구성되어 있다. 따라서, 전류 센스 증폭기로부터 먼 곳에 위치한 메모리 셀들로부터 리드되는 데이터를 빠르게 전송할 수 있으며, 전류 센스 증폭기의 입력 저항이 네거티브 값을 나타내는 경우에 루프 이득을 줄임으로써 안정적인 리드 데이터를 발생할 수 있다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

반도체 메모리 장치 및 이 장치의 데이터 리드 방법{Semiconductor memory device and data read method thereof}

【도면의 간단한 설명】

도1은 일반적인 반도체 메모리 장치의 구성을 나타내는 블록도이다.

도2는 도1에 나타난 반도체 메모리 장치의 데이터 리드 동작을 모델링하여 나타내는 것이다.

도3은 도1에 나타난 전류 센스 증폭기의 실시예의 회로도이다.

도4는 본 발명의 반도체 메모리 장치의 실시예의 블록도이다.

도5는 도4에 나타난 반도체 메모리 장치의 전류 센스 증폭기 입력 저항 감지회로 및 루프 이득 제어신호 발생회로의 실시예의 회로도이다.

도6은 본 발명의 반도체 메모리 장치의 전류 센스 증폭기의 실시예의 회로도이다.

도7은 도5에 나타난 증폭기의 실시예의 회로도이다.

도8은 종래 기술과 본 발명의 전류 센스 증폭기의 동작을 시뮬레이션한 그래프이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <9> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 데이터를 리드하기 위하여 전류 센스 증폭기를 사용하는 반도체 메모리 장치에 관한 것이다.
- <10> 일반적으로, 전류 센스 증폭기를 사용하는 반도체 메모리 장치는 전류 센스 증폭기로부터 먼 곳에 위치한 메모리 셀로부터 리드되는 데이터와 전류 센스 증폭기로부터 가까운 곳에 위치한 메모리 셀로부터 리드되는 데이터 사이에 속도 차이가 발생한다.
- <11> 도1은 일반적인 반도체 메모리 장치의 구성을 나타내는 블록도로서, 메모리 셀 어레이 블록들(10-1, ..., 10-8)을 구비하고, 메모리 셀 어레이 블록들(10-1, ..., 10-8) 각각은 복수개의 워드 라인들(WL1, ..., WL_m)과 복수개의 비트 라인쌍들(BL1P, BL2P, BL3P, BL4P) 사이에 연결된 복수개의 메모리 셀들((MC1, MC1B), (MC2, MC2B), (MC3, MC3B), (MC4, MC4B))을 구비하여 구성되어 있다.
- <12> 비트 라인쌍들(BL1P, BL2P, BL3P, BL4P) 각각에는 센스 증폭기들(12-1, 12-2, 12-3, 12-4), 데이터 입출력 게이트들(IOG1, IOG2, IOG3, IOG4), 비트 라인 아이솔레이션 게이트들(ISG1, ISG2, ISG3, ISG4), 및 프리차지 회로들(PRE1, PRE2, PRE3, PRE4)이 연결되어 있다.
- <13> 데이터 입출력 게이트들(IOG1, IOG2, IOG3, IOG4) 각각은 NMOS트랜지스터들(N1, N2)로 구성되고, 비트 라인 아이솔레이션 게이트들(ISG1,

ISG2, ISG3, ISG4) 각각은 NMOS트랜지스터들(N3, N4)로 구성되고, 프리차지 회로들(PRE1, PRE2, PRE3, PRE4) 각각은 NMOS트랜지스터들(N5, N6)로 구성되어 있다.

- <14> 컬럼 디코더(18)는 컬럼 어드레스(CA)를 디코딩하여 컬럼 선택신호들(Y0, ..., Yn)을 발생한다.
- <15> 메모리 셀 어레이 블록들(10-1, ..., 10-8) 각각의 사이에는 로컬 데이터 입출력 라인쌍들(LI01P, LI012P, ..., LI078P, LI08P)이 배치되고, 로컬 데이터 입출력 라인쌍들(LI01P, LI012P, ..., LI078P, LI08P) 각각의 사이에는 전류 센스 증폭기 부하 회로들(14-1, 14-2, ..., 14-8, 14-9)이 구성되어 있다. 로컬 데이터 입출력 라인쌍들(LI012P, LI078P)은 메모리 셀 어레이 블록들사이에 공유되는 라인쌍들이다. 로컬 데이터 입출력 라인쌍들(LI01P, LI078P)은 데이터 입출력 라인쌍(DI01P)에 연결되고, 로컬 데이터 입출력 라인쌍들(LI012P, LI08P)은 데이터 입출력 라인쌍(DI02P)에 연결되어 있다. 데이터 입출력 라인쌍들(DI01P, DI02P) 각각의 사이에는 전류 센스 증폭기들(16-1, 16-2)이 구성되어 있다.
- <16> 도1에서는 전류 센스 증폭기들(16-1, 16-2)로부터 가장 먼곳에 위치한 메모리 셀들(MC1, MC1B, MC2, MC2B)과 가장 가까운 곳에 위치한 메모리 셀들(MC3, MC3B, MC4, MC4B)과 이들 메모리 셀들(MC1, MC1B, MC2, MC2B, MC3, MC3B, MC4, MC4B)로부터 데이터를 입출력하기 위한 회로 구성만을 나타내었다.
- <17> 도1에서, SA로 나타낸 것은 비트 라인 센스 증폭기들을, CSAL로 나타낸 것은 전류 센스 증폭기 부하 회로들을, CSA로 나타낸 것은 전류 센스 증폭기들을 각각 나타낸다.

- <18> 도1에 나타난 반도체 메모리 장치의 데이터 리드 동작을 설명하면 다음과 같다.
- <19> 프리차지 신호(PRE)가 인가되어 비트 라인쌍들(BL1P, BL2P, BL3P, BL4P)이 프리차지된다.
- <20> 미도시된 액티브 명령 및 로우 어드레스가 인가되어, 워드 라인(WL1)이 인에이블되고, '하이'레벨의 비트 라인 아이솔레이션 신호(IS01)가 발생되면, 워드 라인(WL1)에 연결된 메모리 셀들(MC1, MC1B, MC2, MC2B)과 비트 라인쌍들(BL1P, BL2P)사이에서 데이터가 전송된다. 비트 라인 센스 증폭기들(12-1, 12-2)은 비트 라인쌍들(BL1P, BL2P)의 데이터를 증폭한다.
- <21> 미도시된 리드 명령이 인가되고 컬럼 어드레스(CA)가 인가되면 컬럼 디코더(18)가 '하이'레벨의 컬럼 선택신호(CSL1)를 발생한다. 그러면, 데이터 입출력 게이트들(10G1, 10G2)이 온되어 비트 라인쌍들(BL1P, BL2P)의 데이터를 로컬 데이터 입출력 라인쌍들(LI01P, LI012P)로 전송한다. 전류 센스 증폭기 부하 회로들(14-1, 14-2)은 로컬 데이터 입출력 라인쌍들(LI01P, LI012P)과 데이터 입출력 라인쌍들(DI01P, DI02P)에 전류를 공급한다. 전류 센스 증폭기들(16-1, 16-2)은 데이터 입출력 라인쌍들(DI01P, DI02P)의 전류 차를 증폭하여 데이터(D1, D2)를 발생한다.
- <22> 그런데, 도1에 나타난 종래의 반도체 메모리 장치는 전류 센스 증폭기들(16-1, 16-2)로부터 가장 먼 곳에 위치한 메모리 셀들(MC1, MC1B, MC2, MC2B)과 가장 가까운 곳에 위치한 메모리 셀들(MC3, MC3B, MC4, MC4B)사이의 거리가 서로 달라 데이터 리드 속도가 달라지게 된다.

- <23> 즉, 전류 센스 증폭기들(16-1, 16-2)로부터 가장 먼 곳에 위치한 메모리 셀들(MC1, MC1B, MC2, MC2B)로부터 리드되는 데이터의 전송 속도가 가장 가까운 곳에 위치한 메모리 셀들(MC3, MC3B, MC4, MC4B)로부터 리드되는 데이터의 전송 속도보다 느려지게 된다. 이는 메모리 셀들(MC1, MC1B, MC2, MC2B)로부터 전류 센스 증폭기들(16-1, 16-2)까지의 저항이 메모리 셀들(MC3, MC3B, MC4, MC4B)로부터 전류 센스 증폭기들(16-1, 16-2)까지의 저항보다 크기 때문이다.
- <24> 도2는 도1에 나타난 반도체 메모리 장치의 데이터 리드 동작을 모델링하여 나타내는 것으로, Icell은 메모리 셀 전류를, Rload는 데이터 리드 동작시에 부하로서 작용하는 회로의 저항을, Vin은 전류 센스 증폭기의 입력 전압을, Rin은 전류 센스 증폭기의 입력 저항을, Iin은 전류 센스 증폭기의 입력 전류를 각각 나타내는 것이다.
- <25> 도2로부터 알 수 있듯이, 반도체 메모리 장치는 데이터 리드 동작시에 메모리 셀 전류(Icell)를 부하 저항(Rload)과 전류 센스 증폭기의 입력 저항(Rin)으로 나누어서 출력하게 된다.
- <26> 도2에서, 입력 전류(Iin)는 아래의 식으로 나타낼 수 있다.
- <27> 【수학식 1】
$$I_{in} = R_{load} / (R_{load} + R_{in}) \times I_{cell}$$
- <28> 입력 전압(Vin)은 아래의 식으로 나타낼 수 있다.
- <29> 【수학식 2】
$$V_{in} = I_{in} \times R_{in}$$

- <30> 만일, 전류 센스 증폭기의 입력 저항(R_{in})이 매우 작거나 0가 된다면, 메모리 셀 전류(I_{cell})는 모두 전류 센스 증폭기로 흐르게 되고, 이때, 데이터 입출력 라인쌍의 전압 차인 입력 전압(V_{in})이 매우 작거나, 0이 된다.
- <31> 전류 센스 증폭기로부터 메모리 셀까지의 거리에 따라 입력 저항(R_{in})의 값이 달라질 수 있는데, 메모리 셀로부터 전류 센스 증폭기까지의 거리가 멀어짐에 따라 입력 저항(R_{in})의 값이 커지게 된다.
- <32> 따라서, 전류 센스 증폭기로부터 먼 곳에 위치한 메모리 셀의 데이터 리드 속도가 전류 센스 증폭기로부터 가까운 곳에 위치한 메모리 셀의 데이터 리드 속도보다 느려지게 된다.
- <33> 도3은 도1에 나타난 전류 센스 증폭기의 실시예의 회로도로서, PMOS트랜지스터들(P1, P2), 및 NMOS트랜지스터들(N7, N8, N9)로 구성되어 있다.
- <34> 도3에 나타난 회로의 입력 저항을 계산하여 보면 다음과 같다.
- <35> 만일 PMOS트랜지스터(P1)를 통하여 흐르는 입력 전류를 I_{in} , 입력 전압을 V_{in} 이라고 하고, PMOS트랜지스터들(P1, P2)의 상호 컨덕턴스를 g_{mp} , NMOS트랜지스터들(N7, N8)의 상호 컨덕턴스를 g_{mn} 이라고 할 때 입력 전류(I_{in})는 아래의 식으로 나타낼 수 있다.
- <36> 【수학식 3】 $I_{in} = (V_{in} - V_{out}) \times g_{mp}$
- <37> 그리고, 출력 전압(V_{out})은 아래의 식으로 나타내어진다.
- <38> 【수학식 4】 $V_{out} = -1 \times (g_{mp}/g_{mn}^2) \times I_{in}$

<39> 식4를 식3에 대입하여 입력 저항(R_{in})을 계산하면 아래의 식으로 나타내어진다.

<40> 【수학식 5】 $R_{in} = V_{in}/I_{in} = 1/g_{mp} \times (1 - (g_{mp}/g_{mn})^2)$

<41> 식5에서 $(g_{mp}/g_{mn})^2$ 은 루프 이득(T)를 나타낸다.

<42> 도3에 나타낸 전류 센스 증폭기의 데이터 입출력 라인쌍(DIO, DIOB)사이의 입력 저항(R_{in})은 전류 센스 증폭기의 포지티브 궤환에 의하여 매우 작은 값으로 만들 수 있다.

<43> 식5로부터 알 수 있듯이, 만일 전류 센스 증폭기의 루프 이득(T)이 1이라면 입력 저항(R_{in})을 0으로 만들 수 있다. 입력 저항(R_{in})이 0이 되면 데이터 입출력 라인쌍(DIO, DIOB)사이의 전압 차는 0이 되고, 데이터 입출력 라인쌍(DIO, DIOB)사이의 전류 차를 증폭하여 출력 전압(V_{out})을 발생한다. 즉, 이상적인 전류 센스 증폭기로 동작하게 된다.

<44> 그러나, 루프 이득(T)이 1보다 크게 설계되었다면 입력 저항(R_{in})이 네거티브 값을 가지고 되고 이때, 출력 전압(V_{out})은 발진하게 된다.

<45> 종래의 반도체 메모리 장치의 전류 센스 증폭기를 설계할 때, 가장 먼 곳에 위치한 메모리 셀의 데이터 리드 동작을 고려하여, 전류 센스 증폭기의 입력 저항(R_{in})을 매우 작게 설계한다.

<46> 그러나, 입력 저항(R_{in})을 작게 설계한다 하더라도 루프 이득(T)이 1보다 큰 값을 가지도록 설계할 수는 없으며 작은 값을 가지도록 설계하여야 한다. 즉, 상호 컨덕턴스(g_{mp})의 값을 상호 컨덕턴스(g_{mn})의 값보다 크게 설계할 수는

없다. 따라서, 전류 센스 증폭기로부터 먼 곳에 위치한 메모리 셀로부터 데이터가 리드되는 경우에는 데이터가 지연될 수 밖에 없다는 문제점이 있었다.

- <47> 또한, 전류 센스 증폭기의 루프 이득(T)이 1보다 작은 값을 가지도록 설계하였다고 하더라도 공정, 전압, 및 온도 변화에 의해 입력 저항(R_{in})이 네거티브 값을 가질 수 있다. 이 경우에는 출력 전압(V_{out})이 발진하게 되어 안정적인 리드 데이터를 발생할 수 없다는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

- <48> 본 발명의 목적은 전류 센스 증폭기로부터 메모리 셀들까지의 거리 차에 따른 데이터 리드 속도 차이를 개선할 수 있는 반도체 메모리 장치를 제공하는데 있다.

- <49> 본 발명의 다른 목적은 공정, 전압, 및 온도 변화에 무관하게 안정적인 리드 데이터를 발생할 수 있는 반도체 메모리 장치를 제공하는데 있다.

- <50> 본 발명의 또 다른 목적은 상기 목적과 다른 목적을 달성하기 위한 반도체 메모리 장치의 데이터 리드 방법을 제공하는데 있다.

- <51> 상기 목적과 다른 목적을 달성하기 위한 본 발명의 반도체 메모리 장치는 복수개의 메모리 셀들을 구비한 메모리 셀 어레이, 상기 메모리 셀 어레이의 복수개의 로컬 데이터 입출력 라인쌍들과 연결된 복수개의 데이터 입출력 라인쌍들, 제어신호에 응답하여 루프 이득이 제어되고 상기 복수개의 데이터 입출력 라인쌍들 각각의 전류 차를 증폭하여 출력하기 위한 복수개의 제1전류 센스 증폭수단들, 및 리드 명령이 인가되면 상기 복수개의 제1전류 센스 증폭수단들

의 입력 저항을 감지하여 상기 입력 저항이 네거티브 값인지 포지티브 값인지를 나타내는 상기 제어신호를 발생하기 위한 전류 센스 증폭기 입력 저항 감지 및 루프 이득 제어신호 발생수단을 구비하는 것을 특징으로 한다.

<52> 상기 목적과 다른 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 실시예는 복수개의 비트 라인쌍들사이에 연결된 복수개의 메모리 셀들, 상기 복수개의 비트 라인쌍들사이의 데이터를 증폭하기 위한 복수개의 센스 증폭수단들, 상기 복수개의 비트 라인쌍들과 복수개의 로컬 데이터 입출력 라인쌍들사이에 데이터를 전송하기 위한 복수개의 데이터 입출력 게이트들, 상기 복수개의 로컬 데이터 입출력 라인쌍들과 복수개의 데이터 입출력 라인쌍들사이에 각각 연결되고 리드 명령이 인가되면 복수개의 로컬 데이터 입출력 라인쌍들과 데이터 입출력 라인쌍들로 전류를 공급하기 위한 복수개의 전류 센스 증폭기 부하 수단들, 제어신호에 응답하여 루프 이득이 제어되고 상기 복수개의 데이터 입출력 라인쌍들 각각의 전류 차를 증폭하여 출력하기 위한 복수개의 제1전류 센스 증폭수단들, 리드 명령이 인가되면 상기 복수개의 제1전류 센스 증폭수단들의 입력 저항을 감지할 수 있는 감지 전압을 발생하기 위한 전류 센스 증폭기 입력 저항 감지 수단, 및 상기 감지 전압을 입력하여 상기 입력 저항이 네거티브 값임이 판단되면 상기 제어신호를 발생하기 위한 루프 이득 제어신호 발생수단을 구비하는 것을 특징으로 한다.

<53> 상기 또 다른 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 데이터 리드 방법은 복수개의 메모리 셀들을 구비한 반도체 메모리 장치의 데이터 리드 방법에 있어서, 리드 명령이 인가되면 복수개의 전류 센스 증폭기로부터 가장

가까운 곳에 위치한 메모리 셀로부터 데이터가 출력되는 경우의 전류 센스 증폭기의 입력 저항의 변화를 감지함에 의해서 상기 복수개의 전류 센스 증폭기들의 루프 이득을 제어하기 위한 제어신호를 발생하는 단계, 상기 제어신호에 응답하여 상기 복수개의 전류 센스 증폭기들의 루프 이득을 조절하는 단계, 및 상기 복수개의 전류 센스 증폭기들에 의해서 복수개의 데이터 입출력 라인쌍들 각각의 전류 차를 증폭하여 복수개의 출력 신호를 발생하는 단계를 구비하는 것을 특징으로 한다.

【발명의 구성 및 작용】

<54> 이하, 첨부한 도면을 참고로 하여 본 발명의 반도체 메모리 장치 및 이 장치의 데이터 리드 방법을 설명하면 다음과 같다.

<55> 도4는 본 발명의 반도체 메모리 장치의 실시예의 블록도로서, 도1에 나타난 전류 센스 증폭기들(16-1, 16-2)을 전류 센스 증폭기들(20-1, 20-2)로 대체하고, 전류 센스 증폭기 입력 저항 감지 회로(22), 및 루프 이득 제어신호 발생회로(24)를 추가하여 구성되어 있다.

<56> 도4에 나타난 블록들 각각의 기능을 설명하면 다음과 같다.

<57> 전류 센스 증폭기 입력 저항 감지 회로(22)는 리드 명령이 인가되면 제어신호(CON)에 응답하여 내부 데이터 쌍의 상태를 설정하고, 내부 데이터 쌍의 전류 차를 증폭함에 의해서 전압들(VA, VB)을 발생한다. 이때, 발생하는 전압들(VA, VB)은 아주 작은 전압 차를 가지고 발생된다.

- <58> 루프 이득 제어신호 발생회로(24)는 전압들(VA, VB)의 차를 증폭하여 바이어스 전압(Vb)을 발생한다. 이때, 발생하는 바이어스 전압(Vb)은 전류 센스 증폭기 입력 저항 감지 회로(22)와 전류 센스 증폭기들(20-1, 20-2)의 루프 이득을 조절하기 위하여 사용된다.
- <59> 즉, 본 발명의 전류 센스 증폭기 입력 저항 감지 회로(22)와 루프 이득 제어신호 발생회로(24)는 전류 센스 증폭기들(20-1, 20-1)의 입력 저항이 네거티브 값인지를 검출하여 바이어스 전압(Vb)을 발생한다.
- <60> 만일, 네거티브 입력 저항이 만들어졌다면 바이어스 전압(Vb)에 응답하여 전류 센스 증폭기 입력 저항 감지 회로(22)와 루프 이득 제어회로(24)의 루프 이득을 조절한다. 즉, 네거티브 입력 저항이 만들어졌다면 루프 이득을 줄이고, 포지티브 입력 저항이 만들어졌다면 루프 이득을 그대로 유지한다.
- <61> 본 발명의 반도체 메모리 장치는 전류 센스 증폭기의 루프 이득을 1보다 큰 값으로 설정할 수 있으며, 포지티브 입력 저항이 만들어진 경우에는 루프 이득을 그대로 유지하고, 전류 센스 증폭기로부터 가까운 곳에 위치한 메모리 셀들로부터 데이터가 리드되는 경우와 공정, 전압, 및 온도 변화에 의해서 입력 저항이 네거티브 값을 가지게 되면 루프 이득을 줄임으로써 안정적인 리드 데이터를 발생시킬 수 있다.
- <62> 도5는 도4에 나타난 반도체 메모리 장치의 전류 센스 증폭기 입력 저항 감지 회로 및 루프 이득 제어신호 발생회로의 실시예의 회로도로서, 전류 센스 증폭기 입력 저항 감지 회로는 NMOS트랜지스터들(N10, N11)로 구성된 데이터 입력력 게이트(30), 비트 라인 센스 증폭기(32), PMOS트랜지스터들(P3, P4)로 구성된

전류 센스 증폭기 부하 회로(34), PMOS트랜지스터들(P5, P6)과 NMOS트랜지스터들(N12, N13, N14)로 구성된 전류 센스 증폭기(36), 및 PMOS트랜지스터(P7)로 구성된 루프 이득 제어회로(38)로 구성되어 있고, 루프 이득 제어신호 발생회로는 증폭기(AMP)와 캐패시터(C)로 구성되어 있다.

<63> 도5에 나타낸 전류 센스 증폭기 입력 저항 감지 회로는 전류 센스 증폭기들(20-1, 20-2)로부터 가장 가까운 곳에 위치한 메모리 셀의 비트 라인쌍(BL4P)에 연결된 비트 라인 센스 증폭기(12-4), 데이터 입출력 게이트(IOG4), 및 전류 센스 증폭기 부하 회로(14-8)와 동일한 구성의 비트 라인 센스 증폭기(32), 데이터 입출력 게이트(30), 및 전류 센스 증폭기 부하 회로(34)로 구성되고, 이들 회로들사이의 라인 길이도 동일하게 구성되어 있다.

<64> 도5에 나타낸 회로의 동작을 설명하면 다음과 같다.

<65> 리드 명령이 인가되면 데이터 입출력 게이트(30)를 구성하는 NMOS트랜지스터들(N10, N11)의 게이트, 전류 센스 증폭기 부하 회로(34)를 구성하는 PMOS트랜지스터들(P3, P4)의 소스, 전류 센스 증폭기(36)를 구성하는 NMOS트랜지스터(N14)의 게이트로 전원전압(VCC)이 인가되어 이들 회로들(30, 34, 36)의 동작이 인에이블된다. 또한, 리드 명령이 인가되면 제어신호(CON)에 응답하여 비트 라인 센스 증폭기(32)의 양측 노드들(a, b)의 전압이 '로우'레벨('하이'레벨)과 '하이'레벨('로우'레벨)로 설정된다.

<66> 만일, 노드들(a, b)의 전압이 '로우'레벨과 '하이'레벨로 설정되어 있다면, PMOS트랜지스터(P3)로부터 공급되는 전류의 많은 양이 노드(a)로 흐를 것이고, PMOS트랜지스터(P4)로부터 공급되는 전류의 작은 양이 노드(b)로 흐를 것이다.

이에 따라, 노드(A)로는 작은 양의 전류가 흐르게 되고, 노드(B)로는 많은 양의 전류가 흐르게 된다. 이때, 노드들(A, B)의 전압들(V_A , V_B)은 아주 작은 전압 차를 가진다. 전류 센스 증폭기(36)는 노드들(A, B)로 흐르는 전류 차를 증폭하여 출력 전압(V_{out})의 레벨이 반전 출력 전압(V_{outB})의 레벨보다 높아지게 된다. 이때, 노드(B)의 전압(V_B)이 노드(A)의 전압(V_A)보다 높은 레벨이 된다. 그런데, 전류 센스 증폭기로부터 가까운 곳에 위치한 메모리 셀로부터 데이터가 리드되는 경우와 공정, 전압, 및 온도 변화에 의해서 PMOS트랜지스터들(P5, P6)과 NMOS트랜지스터들(N12, N13)사이의 상호 컨택턴스가 변화하게 되면 출력 전압(V_{out})의 레벨이 반전 출력 전압(V_{outB})의 레벨보다 낮아지게 된다. 이에 따라, 노드(A)의 전압(V_A)이 노드(B)의 전압(V_B)보다 높은 레벨이 된다. 즉, 네거티브 입력 저항이 발생하게 된다. 증폭기(AMP)는 전압(V_A)이 전압(V_B)보다 낮은 레벨인 경우에 바이어스 전압(V_b)의 레벨을 높이고, 전압(V_A)이 전압(V_B)보다 높은 레벨인 경우에 바이어스 전압(V_b)의 레벨을 낮춘다. 캐패시터(C)는 바이어스 전압(V_b)에 포함된 고주파 성분을 제거한다. 바이어스 전압(V_b)의 레벨이 출력 전압(V_{out})의 레벨보다 높은 경우에는 PMOS트랜지스터(P7)가 오프되어 출력 전압(V_{out}) 및 반전 출력 전압(V_{outB})의 레벨을 그대로 유지하고, 바이어스 전압(V_b)의 레벨이 출력 전압(V_{out})의 레벨보다 낮은 경우에는 PMOS트랜지스터(P7)가 온되어 출력 전압(V_{out}) 및 반전 출력 전압(V_{outB})의 레벨 차를 줄인다. 출력 전압(V_{out})의 레벨 차가 줄어들게 됨으로써 루프 이득이 줄어들게 된다. 이때, 바이어스 전압(V_b)은 전류 센스 증폭기들(20-1, 20-2)로도 인가되어 전류 센스 증폭기들(20-1, 20-2)의 루프 이득을 제어한다.

- <67> 반대로, 노드들(a, b)의 전압이 '하이'레벨과 '로우'레벨로 설정되어 있다면, 노드(A)의 전압(VA)이 노드(B)의 전압(VB)보다 높은 경우에 포지티브 입력 저항이 발생되고, 노드(A)의 전압(VA)이 노드(B)의 전압(VB)보다 낮은 경우에 네거티브 입력 저항이 발생된다. 증폭기(AMP)는 전압(VA)이 전압(VB)보다 높은 레벨인 경우에 바이어스 전압(Vb)의 레벨을 높이고, 전압(VA)이 전압(VB)보다 낮은 레벨인 경우에 바이어스 전압(Vb)의 레벨을 낮춘다. 바이어스 전압(Vb)의 레벨이 출력 전압(Vout)의 레벨보다 낮은 경우에는 PMOS트랜지스터(P7)가 온되어 출력 전압(Vout) 및 반전 출력 전압(VoutB)의 레벨 차를 줄인다.
- <68> 도6은 본 발명의 반도체 메모리 장치의 전류 센스 증폭기의 실시예의 회로도로서, 도3에 나타난 전류 센스 증폭기에 PMOS트랜지스터(P8)로 구성된 루프 이득 제어회로를 추가하여 구성되어 있다.
- <69> 도6에서, 도3에 나타난 회로의 구성과 동일한 구성은 동일 부호로 나타내었다.
- <70> 도6에 나타난 회로의 동작을 설명하면 다음과 같다.
- <71> 바이어스 전압(Vb)의 레벨이 출력 전압(Vout)의 레벨보다 높은 경우에 PMOS트랜지스터(P8)가 오프되어 출력 전압(Vout)과 반전 출력 전압(VoutB)의 레벨을 그대로 유지한다. 반면에, 바이어스 전압(Vb)의 레벨이 출력 전압(Vout)의 레벨보다 낮은 경우에 PMOS트랜지스터(P8)가 온되어 출력 전압(Vout)과 반전 출력 전압(VoutB)의 레벨 차를 줄인다. 즉, 네거티브 입력 저항이 발생하는 경우에 PMOS트랜지스터(P8)를 온하여 출력 전압(Vout)과 반전 출력 전압(VoutB)의 레벨 차를 줄임으로써 루프 이득이 줄어들게 된다.

<72> 본 발명의 반도체 메모리 장치의 전류 센스 증폭기는 PMOS트랜지스터들(P1, P2)의 상호 컨덕턴스(g_{mp})를 NMOS트랜지스터들(N7, N8)의 상호 컨덕턴스(g_{mn})보다 큰 값으로 설계할 수 있다. 이에 따라, 전류 센스 증폭기로부터 먼 곳에 위치한 메모리 셀들로부터 데이터가 리드되는 경우의 데이터 리드 속도가 빨라지게 되고, 전류 센스 증폭기로부터 가까운 곳에 위치한 메모리 셀들로부터 데이터가 리드되는 경우에 입력 저항이 네거티브 값을 나타내게 되면 PMOS트랜지스터(P8)를 온함에 의해서 루프 이득을 줄임으로써 출력 전압(V_{out})이 발진하지 않게 된다. 즉, 안정적인 출력 전압(V_{out})을 발생할 수 있다.

<73> 상술한 실시예의 루프 이득 제어회로는 PMOS트랜지스터로 구성된 것을 나타내었으나, PMOS트랜지스터가 아닌 NMOS트랜지스터로 구성되더라도 상관없다. 루프 이득 제어회로가 NMOS트랜지스터로 구성되는 경우에는 루프 이득 제어신호 발생회로의 증폭기의 부호가 서로 바뀌어서 구성되면 된다.

<74> 도7은 도5에 나타낸 증폭기의 실시예의 회로도로서, 저항(R)과 NMOS트랜지스터(N18)로 구성된 바이어스 회로(40), PMOS트랜지스터들(P9, P10)과 NMOS트랜지스터들(N15, N16, N17)로 구성된 차동 증폭기(42), 및 PMOS트랜지스터(P11)와 NMOS트랜지스터(N19)로 구성된 출력 구동회로(44)로 구성되어 있다.

<75> 도7에 나타낸 회로의 동작을 설명하면 다음과 같다.

<76> 전원전압이 인가되면 NMOS트랜지스터들(N18, N17, N19)이 온된다. 차동 증폭기(42)는 전압(V_A)의 레벨이 전압(V_B)의 레벨보다 높으면 PMOS트랜지스터(P10)가 온되어 출력 전압(V_O)의 레벨을 높인다. 그러면, PMOS트랜지스터(P11)가 오프되어 바이어스 전압(V_b)의 레벨을 낮춘다. 반대로, 차동 증폭기(42)는 전압(V_B)

의 레벨이 전압(VA)의 레벨보다 높으면 NMOS트랜지스터(N16)가 NMOS트랜지스터(N15)에 비해서 더 많이 온되어 출력 전압(Vo)의 레벨을 낮춘다. 그러면, PMOS트랜지스터(P11)가 온되어 바이어스 전압(Vb)의 레벨을 높인다.

<77> 도8은 종래 기술과 본 발명의 전류 센스 증폭기의 동작을 시뮬레이션한 그래프로서, 전류 센스 증폭기의 PMOS트랜지스터의 상호 컨덕턴스를 크게하고, NMOS트랜지스터의 상호 컨덕턴스를 작게한 경우의 동작을 시뮬레이션한 그래프이다.

<78> 도8에서, 점선으로 나타낸 그래프가 종래의 전류 센스 증폭기의 출력 전압(Vout)과 반전 출력 전압(VoutB)을, 실선으로 나타낸 그래프가 본 발명의 전류 센스 증폭기의 출력 전압(Vout)과 반전 출력 전압(VoutB)을 나타낸다.

<79> 종래의 전류 센스 증폭기는 입력 저항이 네거티브 값인 경우에 출력 전압(Vout)과 반전 출력 전압(VoutB)사이의 전압 차가 크고 X로 표시한 가운데 부분에서 출력 전압(Vout)과 반전 출력 전압(VoutB)의 레벨이 바뀌게 된다.

<80> 그러나, 본 발명의 전류 센스 증폭기는 입력 저항이 네거티브 값인 경우에 출력 전압(Vout)과 반전 출력 전압(VoutB)사이의 전압 차가 줄어들게 되고, X로 표시한 부분에서 출력 전압(Vout)과 반전 출력 전압(VoutB)의 레벨이 바뀌지 않고 안정적으로 발생된다.

<81> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상

및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【발명의 효과】

<82> 본 발명의 반도체 메모리 장치는 전류 센스 증폭기의 PMOS트랜지스터의 상호 컨덕턴스를 NMOS트랜지스터의 상호 컨덕턴스보다 크게 설계할 수 있으므로 전류 센스 증폭기로부터 먼 곳에 위치한 메모리 셀들로부터 리드되는 데이터를 빠르게 전송할 수 있다.

<83> 또한, 본 발명의 반도체 메모리 장치는 전류 센스 증폭기의 입력 저항이 네거티브 값을 나타내는 경우에 루프 이득을 줄임으로써 안정적인 리드 데이터를 발생할 수 있다.

【특허청구범위】**【청구항 1】**

복수개의 메모리 셀들을 구비한 메모리 셀 어레이;

상기 메모리 셀 어레이의 복수개의 로컬 데이터 입출력 라인쌍들과 연결된 복수개의 데이터 입출력 라인쌍들;

제어신호에 응답하여 루프 이득이 제어되고 상기 복수개의 데이터 입출력 라인쌍들 각각의 전류 차를 증폭하여 출력하기 위한 복수개의 제1전류 센스 증폭 수단들; 및

리드 명령이 인가되면 상기 복수개의 제1전류 센스 증폭수단들의 입력 저항을 감지하여 상기 제어신호를 발생하기 위한 전류 센스 증폭기 입력 저항 감지 및 루프 이득 제어신호 발생수단을 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 2】

제1항에 있어서, 상기 전류 센스 증폭기 입력 저항 감지 및 루프 이득 제어신호 발생수단은

상기 리드 명령이 인가되면 상기 복수개의 제1전류 센스 증폭수단들의 입력 저항을 감지할 수 있는 감지 전압을 발생하기 위한 전류 센스 증폭기 입력 저항 감지 수단; 및

상기 감지 전압을 입력하여 상기 입력 저항이 네거티브 값인지 포지티브 값 인지를 나타내는 상기 제어신호를 발생하기 위한 루프 이득 제어신호 발생수단을 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 3】

제1항에 있어서, 상기 복수개의 제1전류 센스 증폭수단들 각각은

상기 데이터 입출력 라인쌍의 전류 차를 증폭하여 출력 전압과 반전 출력 전압을 발생하기 위한 제1전류 센스 증폭기; 및

상기 제1전류 센스 증폭기의 출력 전압과 반전 출력 전압 발생단자사이에 연결되고 상기 입력 저항이 네거티브 값인 경우에 상기 제어전압에 응답하여 상기 출력 전압과 반전 출력 전압 발생단자사이의 전압 차를 줄이고, 상기 입력 저항이 포지티브 값인 경우에 상기 제어전압에 응답하여 상기 출력 전압과 반전 출력 전압 발생단자사이의 전압을 그대로 유지하기 위한 제1루프 이득 제어수단을 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 4】

제3항에 있어서, 상기 제1루프 이득 제어수단은

제1PMOS트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 5】

제1항에 있어서, 상기 전류 센스 증폭기 입력 저항 감지 수단은

리드 명령에 응답하여 인가되는 데이터를 증폭하기 위한 비트 라인 센스 증폭기;

상기 리드 명령에 응답하여 상기 비트 라인 센스 증폭기의 데이터를 데이터 라인쌍으로 전송하기 위한 데이터 입출력 게이트;

상기 리드 명령에 응답하여 상기 데이터 라인쌍으로 전류를 공급하기 위한 전류 센스 증폭기 부하 회로; 및

상기 제어신호에 응답하여 루프 이득이 제어되고 상기 데이터 라인쌍의 전류 차를 증폭하여 출력 전압 및 반전 출력 전압을 발생하기 위한 제2전류 센스 증폭수단을 구비하고,

상기 비트 라인 센스 증폭기, 데이터 입출력 게이트, 및 전류 센스 증폭기 부하 회로는 상기 복수개의 메모리 셀들중 상기 복수개의 제1전류 센스 증폭수단들로부터 가장 가까운 곳에 위치한 메모리 셀로부터 상기 복수개의 제1전류 센스 증폭수단들까지의 라인 부하 캐패시턴스를 가지도록 구성되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 6】

제5항에 있어서, 상기 제2전류 센스 증폭수단은

상기 데이터 라인쌍의 전류 차를 증폭하여 출력 전압과 반전 출력 전압을 발생하기 위한 제2전류 센스 증폭기; 및

상기 제2전류 센스 증폭기의 출력 전압과 반전 출력 전압 발생단자사이에 연결되고 상기 입력 저항이 네거티브 값인 경우에 상기 제어전압에 응답하여 상기 출력 전압과 반전 출력 전압 발생단자사이의 전압 차를 줄이고, 상기 입력 저항이 포지티브 값인 경우에 상기 제어전압에 응답하여 상기 출력 전압과 반전 출

력 전압 발생단자사이의 전압을 그대로 유지하기 위한 제2루프 이득 제어수단을 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 7】

제6항에 있어서, 상기 제2루프 이득 제어수단은

제2PMOS트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 8】

제1항에 있어서, 상기 루프 이득 제어신호 발생수단은

상기 전류 센스 증폭기 입력 저항 감지 회로의 데이터 라인쌍의 데이터를 상기 감지 전압으로 입력하여 상기 전류 센스 증폭기의 입력 저항이 네거티브 값이면 상기 제어신호의 레벨을 낮추고, 포지티브 값이면 상기 제어신호의 레벨을 높이는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 9】

제8항에 있어서, 상기 루프 이득 제어신호 발생수단은

전원전압이 인가되면 바이어스 전압을 발생하기 위한 바이어스 수단;

상기 바이어스 전압이 발생되면 인에이블되고, 상기 감지 전압의 차를 증폭하여 출력 전압을 발생하기 위한 차동 증폭기; 및

상기 바이어스 전압에 응답하여 상기 제어전압을 발생하고, 상기 출력 전압에 응답하여 상기 제어전압의 레벨을 높이기 위한 출력 구동회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 10】

복수개의 비트 라인쌍들 사이에 연결된 복수개의 메모리 셀들;

상기 복수개의 비트 라인쌍들 사이의 데이터를 증폭하기 위한 복수개의 센스 증폭수단들;

상기 복수개의 비트 라인쌍들과 복수개의 로컬 데이터 입출력 라인쌍들 사이에 데이터를 전송하기 위한 복수개의 데이터 입출력 게이트들;

상기 복수개의 로컬 데이터 입출력 라인쌍들과 복수개의 데이터 입출력 라인쌍들 사이에 각각 연결되고 리드 명령이 인가되면 복수개의 로컬 데이터 입출력 라인쌍들과 데이터 입출력 라인쌍들로 전류를 공급하기 위한 복수개의 전류 센스 증폭기 부하 수단들;

제어신호에 응답하여 루프 이득이 제어되고 상기 복수개의 데이터 입출력 라인쌍들 각각의 전류 차를 증폭하여 출력하기 위한 복수개의 제1전류 센스 증폭 수단들;

리드 명령이 인가되면 상기 복수개의 제1전류 센스 증폭수단들의 입력 저항을 감지할 수 있는 감지 전압을 발생하기 위한 전류 센스 증폭기 입력 저항 감지 수단; 및

상기 감지 전압을 입력하여 상기 입력 저항이 네거티브 값임이 판단되면 상기 제어신호를 발생하기 위한 루프 이득 제어신호 발생수단을 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 11】

제10항에 있어서, 상기 복수개의 제1전류 센스 증폭수단들 각각은

상기 데이터 입출력 라인쌍의 전류 차를 증폭하여 출력 전압과 반전 출력 전압을 발생하기 위한 제1전류 센스 증폭기; 및

상기 제1전류 센스 증폭기의 출력 전압과 반전 출력 전압 발생단자사이에 연결되고 상기 입력 저항이 네거티브 값인 경우에 상기 제어전압에 응답하여 상기 출력 전압과 반전 출력 전압 발생단자사이의 전압 차를 줄이고, 상기 입력 저항이 포지티브 값인 경우에 상기 제어전압에 응답하여 상기 출력 전압과 반전 출력 전압 발생단자사이의 전압을 그대로 유지하기 위한 제1루프 이득 제어수단을 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 12】

제11항에 있어서, 상기 제1루프 이득 제어수단은

제1PMOS트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 13】

제10항에 있어서, 상기 전류 센스 증폭기 입력 저항 감지 수단은

리드 명령에 응답하여 인가되는 데이터를 증폭하기 위한 비트 라인 센스 증폭기;

상기 리드 명령에 응답하여 상기 비트 라인 센스 증폭기의 데이터를 데이터 라인쌍으로 전송하기 위한 데이터 입출력 게이트;

상기 리드 명령에 응답하여 상기 데이터 라인쌍으로 전류를 공급하기 위한 전류 센스 증폭기 부하 회로; 및

상기 제어신호에 응답하여 루프 이득이 제어되고 상기 데이터 라인쌍의 전류 차를 증폭하여 출력 전압 및 반전 출력 전압을 발생하기 위한 제2전류 센스 증폭수단을 구비하고,

상기 비트 라인 센스 증폭기, 데이터 입출력 게이트, 및 전류 센스 증폭기 부하 회로는 상기 복수개의 메모리 셀들중 상기 복수개의 제1전류 센스 증폭수단들로부터 가장 가까운 곳에 위치한 메모리 셀로부터 상기 복수개의 제1전류 센스 증폭수단들까지의 라인 부하 캐패시턴스를 가지도록 구성되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 14】

제13항에 있어서, 상기 제2전류 센스 증폭수단은

상기 데이터 라인쌍의 전류 차를 증폭하여 출력 전압과 반전 출력 전압을 발생하기 위한 제2전류 센스 증폭기; 및

상기 제2전류 센스 증폭기의 출력 전압과 반전 출력 전압 발생단자사이에 연결되고 상기 입력 저항이 네거티브 값인 경우에 상기 제어전압에 응답하여 상기 출력 전압과 반전 출력 전압 발생단자사이의 전압 차를 줄이고, 상기 입력 저항이 포지티브 값인 경우에 상기 제어전압에 응답하여 상기 출력 전압과 반전 출력 전압 발생단자사이의 전압을 그대로 유지하기 위한 제2루프 이득 제어수단을 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 15】

제14항에 있어서, 상기 제2루프 이득 제어수단은

제2PMOS트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 16】

제10항에 있어서, 상기 루프 이득 제어신호 발생수단은

상기 전류 센스 증폭기 입력 저항 감지 회로의 데이터 라인쌍의 데이터를 상기 감지 전압으로 입력하여 상기 전류 센스 증폭기의 입력 저항이 네거티브 값이면 상기 제어신호의 레벨을 낮추고, 포지티브 값이면 상기 제어신호의 레벨을 높이는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 17】

제16항에 있어서, 상기 루프 이득 제어신호 발생수단은

전원전압이 인가되면 바이어스 전압을 발생하기 위한 바이어스 수단;

상기 바이어스 전압이 발생되면 인에이블되고, 상기 감지 전압의 차를 증폭하여 출력 전압을 발생하기 위한 차동 증폭기; 및

상기 바이어스 전압에 응답하여 상기 제어전압을 발생하고, 상기 출력 전압에 응답하여 상기 제어전압의 레벨을 높이기 위한 출력 구동회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 18】

복수개의 메모리 셀들을 구비한 반도체 메모리 장치의 데이터 리드 방법에 있어서,

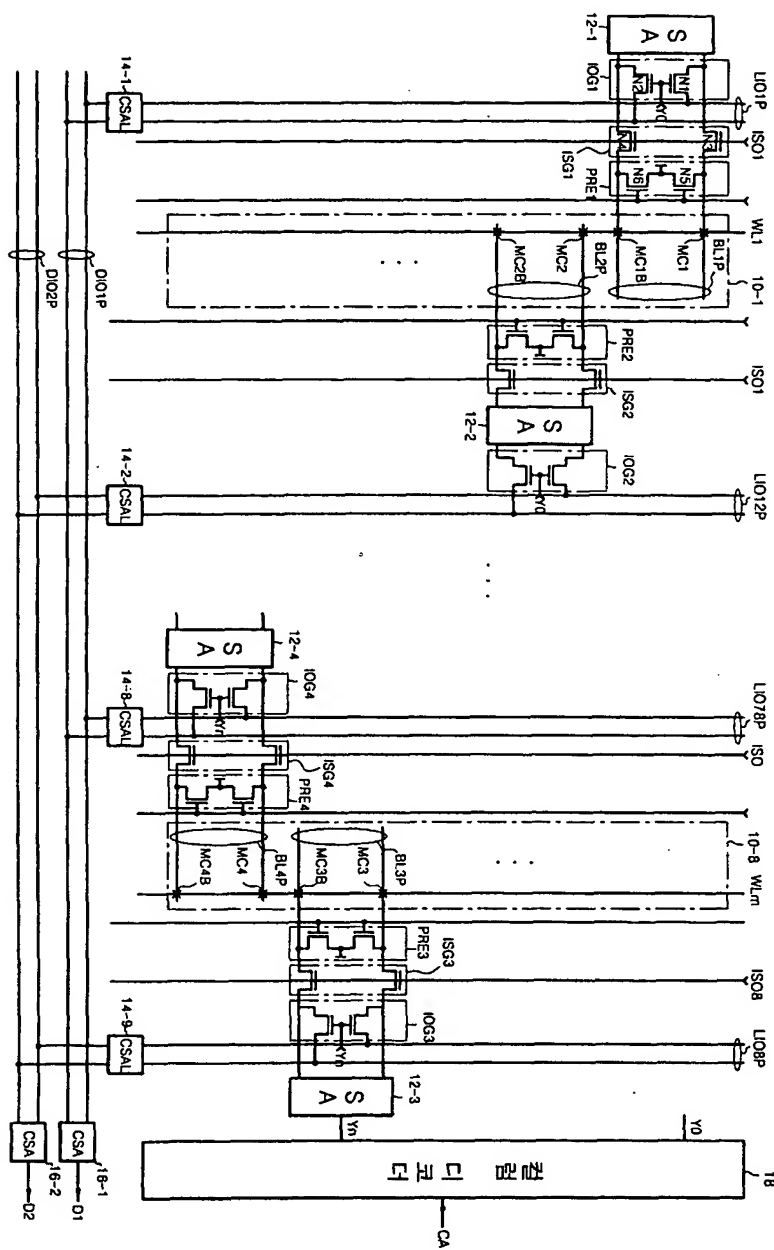
리드 명령이 인가되면 복수개의 전류 센스 증폭기로부터 가장 가까운 곳에 위치한 메모리 셀로부터 데이터가 출력되는 경우의 전류 센스 증폭기의 입력 저항의 변화를 감지함에 의해서 상기 복수개의 전류 센스 증폭기들의 루프 이득을 제어하기 위한 제어신호를 발생하는 단계;

상기 제어신호에 응답하여 상기 복수개의 전류 센스 증폭기들의 루프 이득을 조절하는 단계; 및

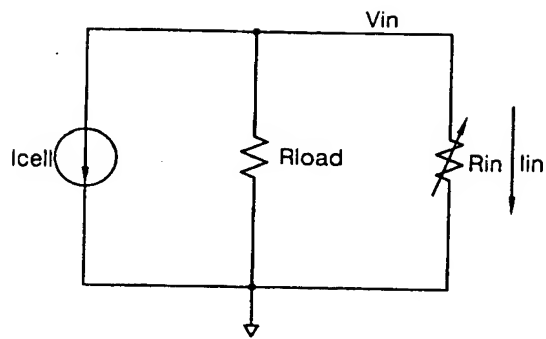
상기 복수개의 전류 센스 증폭기들에 의해서 복수개의 데이터 입출력 라인 쌍들 각각의 전류 차를 증폭하여 복수개의 출력 신호를 발생하는 단계를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 데이터 리드 방법.

【도면】

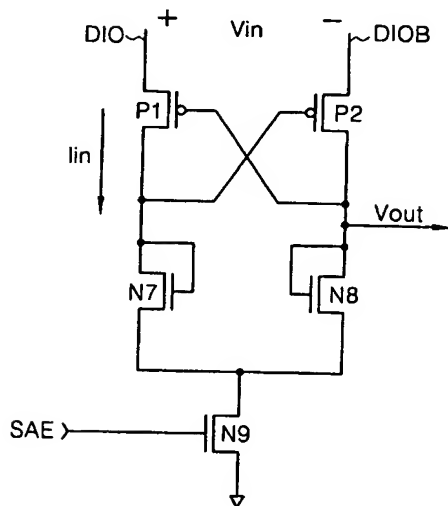
【도 1】



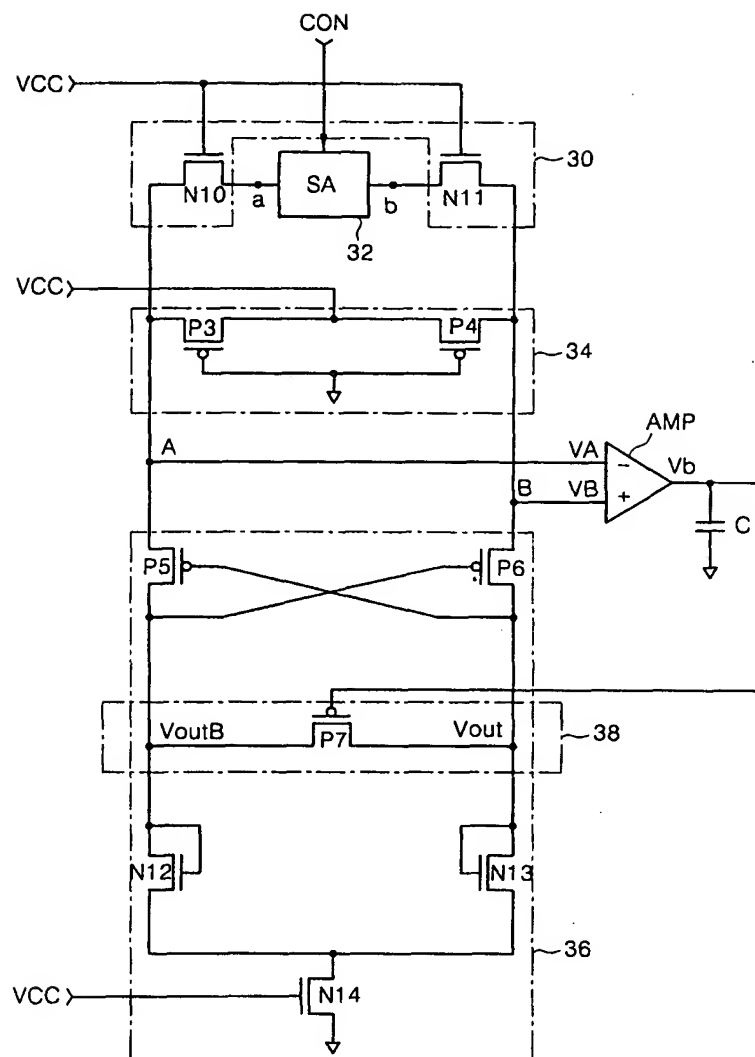
【도 2】



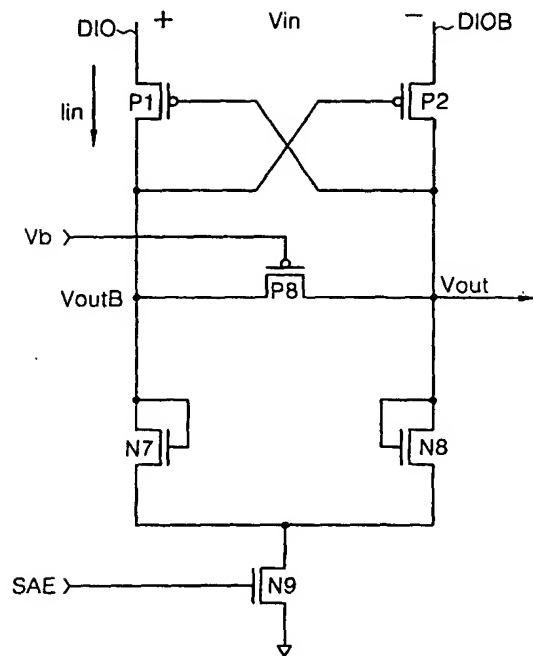
【도 3】



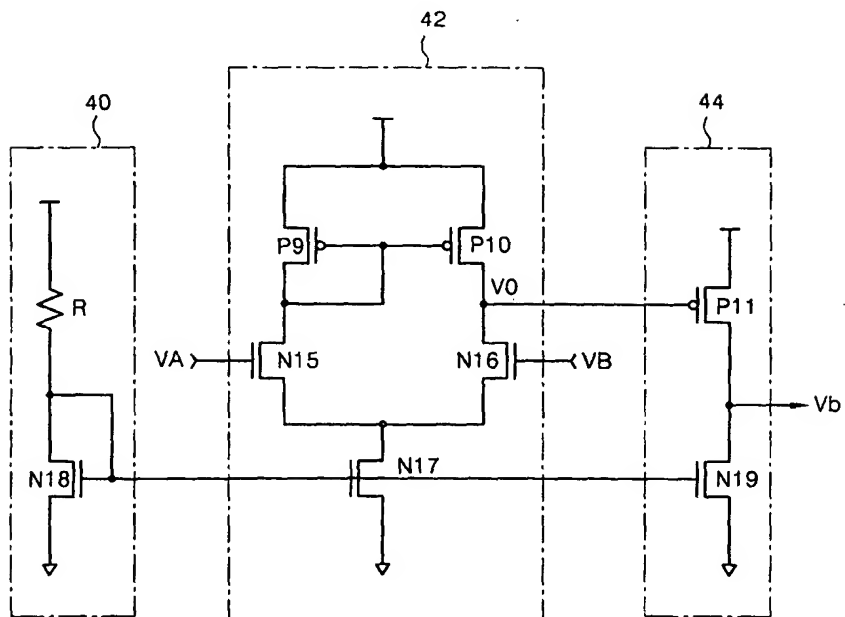
【도 5】



【도 6】



【도 7】



【도 8】

